

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-244298

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H03K 17/687

(21)Application number : 11-039177

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.02.1999

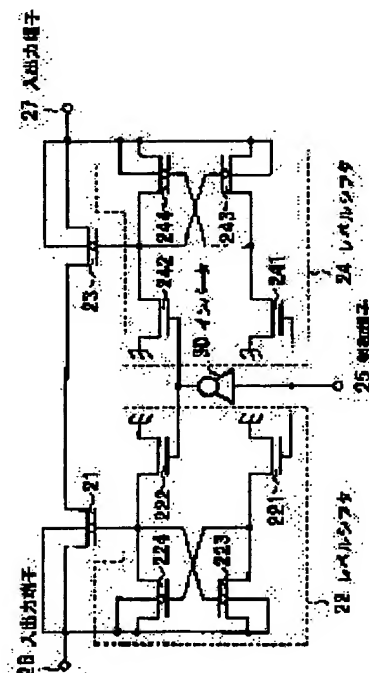
(72)Inventor : MUROGA HIROKI

## (54) ANALOG SWITCH CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To perfectly cut off the conduction of an analog signal including a high voltage level while securing bidirectional property without high voltage from an external part.

**SOLUTION:** When low potential VCC is applied to a control terminal, a transistor 221 is turned on, a transistor 222 is turned off, a transistor 224 is turned on, the analog signal voltage applied to an input/output terminal 26 through the transistor is introduced to the gates of the transistor 223 and the gate of a transistor 21 and the transistors are turned off. When zero potential is applied to the control terminal, the transistor 221 is turned off, the transistor 222 is turned on, the transistor 21 is turned on, the transistor 223 is turned on, the analog signal voltage is applied to the gate of the transistor 224 through the transistor and the transistor 223 are turned off. A transistor 23 is controlled in the same way, the conduction of the analog signal is perfectly cut-off in without the supply of the external high voltage and bidirectional property is secured by the serial circuit of the transistors 21 and 23.



## LEGAL STATUS

[Date of request for examination]

27.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-244298

(P2000-244298A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl.

H03K 17/687

識別記号

F I

H03K 17/687

ターム(参考)

G 5 J 0 5 5

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平11-39177

(22) 出願日 平成11年2月17日 (1999.2.17)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 室賀 啓希

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

Fターム(参考) 5J055 AX05 AX06 AX11 BX01 BX17

CX26 DX14 DX22 DX44 DX53

DX61 DX72 EY21 EZ07 EZ20

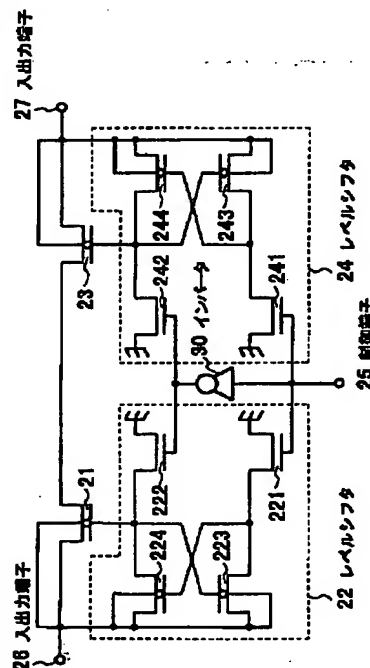
GX01

(54) 【発明の名称】 アナログスイッチ回路

(57) 【要約】

【課題】 外部からの高電圧無しで、高電圧レベルを含むアナログ信号を双方向性を確保しながら完全に導通遮断すること。

【解決手段】 制御端子に低電位のVCCが印加されると、トランジスタ221がオンし、トランジスタ222がオフし、トランジスタ224がオンし、このトランジスタを通して入出力端子26に掛かる前記アナログ信号電圧がトランジスタ223とトランジスタ21のゲートに導入され、これらトランジスタをオフする。制御端子に0電位が印加されると、トランジスタ221がオフし、トランジスタ222がオンし、トランジスタ21がオンすると共にトランジスタ223がオンして、このトランジスタを通して前記アナログ信号電圧がトランジスタ224のゲートに掛り、このトランジスタをオフする。トランジスタ23も同様に制御され、外部の高電圧の供給無しで、前記アナログ信号を完全に導通遮断でき、又トランジスタ21、23の直列回路により前記双方向性を確保できる。



## 【特許請求の範囲】

【請求項1】 2端子間を導通遮断するスイッチ部と、前記2端子間を伝達する導通遮断対象信号電圧を導入して高電位制御電圧とし、ロジック系の低電位制御電圧と基準電位間の信号振幅を前記高電位制御電圧と基準電位間の信号振幅に変換するレベルシフタ部とを備え、前記スイッチ部及び前記レベルシフタ部は複数のPMOSトランジスタあるいはNMOSトランジスタで構成されることを特徴とするアナログスイッチ回路。

【請求項2】 前記スイッチ部は2個のMOSトランジスタの直列接続回路で構成されることを特徴とする請求項1記載のアナログスイッチ回路。

【請求項3】 前記2個のMOSトランジスタの一方のトランジスタのゲートを制御する第1の制御信号を作成する第1のレベルシフタ部と、前記2個のMOSトランジスタの他方のトランジスタのゲートを制御する第2の制御信号を作成する第2のレベルシフタ部とを備えることを特徴とする請求項2記載のアナログスイッチ回路。

【請求項4】 前記スイッチ部は、2個のMOSトランジスタの直列接続回路と、前記2個のMOSトランジスタとは異なる極性の2個のMOSトランジスタの直列接続回路とが並列に構成されることを特徴とする請求項1記載のアナログスイッチ回路。

【請求項5】 前記2個のMOSトランジスタの一方のトランジスタ及びそれと極性の異なる2個のMOSトランジスタの一方のトランジスタの各ゲートを制御する第1の制御信号を作成する第1のレベルシフタ部と、前記2個のMOSトランジスタの他方のトランジスタ及びそれと極性の異なる2個のMOSトランジスタの他方のトランジスタの各ゲートを制御する第2の制御信号を作成する第2のレベルシフタ部とを備えることを特徴とする請求項4記載のアナログスイッチ回路。

【請求項6】 前記レベルシフタ部は、入力される前記ロジック系の低電位制御電圧と基準電位によりオン、オフする第1のNMOSトランジスタと、前記低電位制御電圧と基準電位の反転制御電圧によりオン、オフする第2のNMOSトランジスタと、一方の端子が前記第1のNMOSトランジスタに接続され、他方の端子に前記スイッチ部により導通遮断される前記アナログ信号電圧が印加される第3のPMOSトランジスタと、一方の端子が前記第2のNMOSトランジスタに接続され、他方の端子に前記スイッチ部により導通遮断されるアナログ信号電圧が印加される第4のPMOSトランジスタとを有し、前記第3のPMOSトランジスタのゲートを前記第2のNMOSトランジスタと前記第4のPMOSトランジスタの第1の接続点に接続し、前記第4のPMOSトランジスタのゲートを前記第1の

NMOSトランジスタと前記第3のPMOSトランジスタの第2の接続点に接続し、

前記第1の接続点から、又は前記第1、第2の接続点の両方から高電位制御電圧と基準電位を前記スイッチ部に出力することを特徴とする請求項1乃至5いずれかに記載のアナログスイッチ回路。

【請求項7】 2個の入出力端子と、

1個の制御信号入力端子とを有し、

前記制御信号入力端子に与えられる制御信号によって前記2個の入出力端子間の導通遮断を制御するアナログスイッチ回路において、

前記2個の入出力端子間は、第1のPMOSトランジスタと第2のPMOSトランジスタの直列接続回路によって接続されており、

且つ、前記第1の入出力端子側に前記第1のPMOSトランジスタを接続し、

前記第2の入出力端子側に前記第2のPMOSトランジスタを接続してあり、

第1のレベル変換回路と第2のレベル変換回路とを備え、

前記第1のレベル変換回路は前記制御信号の信号振幅を第1の入出力端子に与えられた電圧と基準電位間の信号振幅に変換して得られた信号を前記第1のPMOSのゲートに印加し、

前記第2のレベル変換回路は前記制御信号の信号振幅を前記第2の入出力端子に与えられた電圧と基準電位間の信号振幅に変換して得られた信号を第2のPMOSトランジスタのゲートに印加することを特徴とするアナログスイッチ回路。

【請求項8】 2個の入出力端子と、

1個の制御信号入力端子とを有し、

前記制御信号入力端子に与えられる制御信号によって、前記2個の入出力端子間の導通遮断を制御するアナログスイッチ回路において、

前記2個の入出力端子間は、第1のPMOSトランジスタ及び第2のPMOSトランジスタの直列接続回路と、第1のNMOSトランジスタ及び第2のNMOSトランジスタの直列接続回路とを並列接続した回路により接続されており、

且つ、前記第1の入出力端子側に前記第1のPMOSトランジスタを、前記第2の入出力端子側に前記第2のPMOSトランジスタを接続し、

前記第1の入出力端子側に前記第1のNMOSトランジスタを、前記第2の入出力端子側に前記第2のNMOSトランジスタを接続してあり、

第1のレベル変換回路と第2のレベル変換回路とを備え、

前記第1のレベル変換回路は前記制御信号の信号振幅を前記第1の入出力端子に与えられた電圧と基準電位間の信号振幅に変換して得られた信号を前記第1のPMOSトランジスタのゲートに印加すると共に、その反転

信号を前記第1のNMOSトランジスタのゲートに印加し、

前記第2のレベル変換回路は前記制御信号の信号振幅を第2の入出力端子に与えられた電圧と基準電位間の信号振幅に変換して得られた信号を前記第2のPMOSTランジスタのゲートに印加すると共に、その反転信号を前記第2のNMOSTランジスタのゲートに印加することを特徴とするアナログスイッチ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路においてそのロジック系の電源電位よりも高い電圧レベルを含むアナログ信号を導通遮断するアナログスイッチ回路に関する。

【0002】

【従来の技術】従来、半導体集積回路において、ロジック電源の3V系、5V系の信号振幅を利用して、それよりも高い電圧レベルを含むアナログ信号（電圧）を導通遮断するアナログスイッチ回路を備えたものがある。

【0003】このアナログスイッチ回路は、アナログ信号よりも高いレベルの電圧（VPP）を外部から供給するレベルシフタによって3V系、5V系の信号振幅をGND-VPP間での信号振幅に変換し、得られたGND-VPPを前記アナログ信号をオンオフするトランジスタの制御信号とすることにより、高い電圧レベルを含むアナログ信号の導通遮断を行っていた。

【0004】図7は従来のアナログスイッチ回路の構成例を示したブロック図である。アナログスイッチ回路はNMOSTランジスタ1とPMOSTランジスタ2の並列接続回路で構成されるスイッチ部10と、スイッチ部10をオンオフする制御信号を作成するレベルシフタ20から成っている。

【0005】レベルシフタ20には高電圧（20V以上）VPPが外部から供給され、制御端子3と接地レベル間に3V（又は5V）系の制御信号が印加される。例えば、制御端子3にVCCが印加されると、レベルシフタ20の出力6が高電圧（20V）、出力7が0レベルとなる。

【0006】これにより、0レベルがNMOSTランジスタ1のゲートに印加され、高電圧がPMOSTランジスタ2のゲートに印加され、トランジスタ1、2をオフとする。このため、高電位レベルを含むアナログ信号が通る入出力端子4、5間は遮断される。

【0007】一方、レベルシフタ20の制御端子3に0レベルが印加されると、レベルシフタ20の出力7が高電圧（20V）、出力6が0レベルとなる。これにより、0レベルがPMOSTランジスタ2のゲートに印加され、高電圧がNMOSTランジスタ1のゲートに印加されて、トランジスタ1、2をオンとする。このため、高電位レベルを含むアナログ信号が通る入出力端子4、

5間は導通する。このように、上記の従来例ではVPPを外部から供給する必要がある。

【0008】図8は従来のアナログスイッチ回路の他の構成例を示した回路図である。アナログスイッチ回路はスイッチ部10とレベルシフタ20から成っている。スイッチ部10はDタイプのMOSTランジスタ8で構成され、レベルシフタ20はDタイプのMOSTランジスタ9、PMOSTランジスタ11及びDタイプのMOSTランジスタ12により構成されている。

10 【0009】例えば、制御端子13に0ボルトが印加されると、PMOSTランジスタ11のゲートに0ボルトが印加される共に、インバータ12により前記0ボルトが反転されて、VCCレベルとなって、DタイプのMOSTランジスタ12のソースに印加される。

【0010】DタイプのMOSTランジスタ12のゲートは接地されているため、このMOSTランジスタ12はオフで、PMOSTランジスタ11がオンになる。このため、DタイプのMOSTランジスタ9のゲートソース間を0ボルトとするため、このMOSTランジスタ9がオンになって、入出力端子16を通るアナログ信号電圧が前記DタイプのMOSTランジスタ9を通してDタイプのMOSTランジスタ8のゲートに供給され、このトランジスタ8をオンさせる。これにより、入出力端子15、16間が導通し、高電圧のアナログ信号が伝達される。

【0011】一方、制御端子13にVCCが印加されると、PMOSTランジスタ11のゲートにVCCが印加されると共に、インバータ12により前記VCCが反転されて、0ボルトとなって、DタイプのMOSTランジスタ12のソースに印加される。

【0012】これにより、PMOSTランジスタ11はオフで、DタイプのMOSTランジスタ12はオンになり、MOSTランジスタ8のゲートに0ボルトが印加されて、このトランジスタ8をオフにし、高電圧のアナログ電圧が通る端子15、16間を遮断する。この従来例では高電圧のVPPを外部から供給しなくとも、内部の高電圧を用いてアナログ信号を導通遮断できる。

【0013】

【発明が解決しようとする課題】上記図7に示した従来のアナログスイッチ回路では、外部から高電圧VPPを供給しなければ動作せず、使いにくいという問題があった。

【0014】これを回避するために、図8に示したDタイプのMOSTランジスタを用いたアナログスイッチ回路があるが、この場合、制御端子13にVCCを印加して、DタイプのMOSTランジスタ8をオフしても、端子15、16間を通るアナログ電圧が低い0～2Vの間では、DタイプのMOSTランジスタ12がオンしてしまうため、完全な遮断ができないという問題があった。

【0015】更に、DタイプのMOSTランジスタで高

電圧アナログ信号を導通遮断すると、高電圧アナログ信号が端子15から16へ伝搬する時と、端子16から15へ伝搬する時とは、特性上の差があり、アナログスイッチとしての双方向性が確保できないという問題もあった。

【0016】本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、外部から高電圧を供給しなくとも、完全に高電圧レベルを含むアナログ信号を導通遮断でき且つ、スイッチとしての双方向性を確保できるアナログスイッチ回路を提供することを目的としている。

【0017】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明の特徴は、2端子間を導通遮断するスイッチ部と、前記スイッチ部の導通遮断動作を制御する高電位制御電圧と基準電位間の信号振幅を、ロジック系の低電位制御電圧と基準電位間の信号振幅を変換して得るレベルシフタ部とを有するアナログスイッチ回路において、前記スイッチ部及び前記レベルシフタ部はDタイプを含まない複数のトランジスタで構成され、前記レベルシフタ部は前記2端子間を伝達する導通遮断対象信号電圧を用いてその構成トランジスタの一部のトランジスタをオンオフを制御することにより前記導通遮断対象信号電圧を内部に導入して前記ロジック系の低電位制御電圧と基準電位間の信号振幅を前記高電位制御電圧と基準電位間の信号振幅に変換することにある。

【0018】請求項2の発明の前記スイッチ部は2個のMOSTランジスタの直列接続回路で構成される。

【0019】請求項3の発明の特徴は、前記2個のMOSTランジスタの一方のトランジスタのゲートに印加する前記高電位制御電圧と基準電位間の信号振幅を、前記ロジック系の低電位制御電圧と基準電位間の信号振幅を変換して得る第1のレベルシフタ部と、前記2個のMOSTランジスタの他方のトランジスタのゲートに印加する前記高電位制御電圧と基準電位間の信号振幅を、前記ロジック系の低電位制御電圧と基準電位間の信号振幅を変換して得る第2のレベルシフタ部とを備えることにある。

【0020】請求項4の発明の前記スイッチ部は2個のMOSTランジスタの直列接続回路と、前記2個のMOSTランジスタとは異なる極性の2個のMOSTランジスタの直列接続回路の並列接続回路で構成される。

【0021】請求項5の発明の特徴は、前記2個のMOSTランジスタの一方のトランジスタ及びそれと極性の異なる2個のMOSTランジスタの一方のトランジスタの各ゲートに印加する前記高電位制御電圧と基準電位間の信号振幅を前記ロジック系の低電位制御電圧と基準電位間の信号振幅を変換して得る第1のレベルシフタ部と、前記2個のMOSTランジスタの他方のトランジスタ及びそれと極性の異なる2個のMOSTランジスタの

他方のトランジスタの各ゲートに印加する前記高電位制御電圧と基準電位間の信号振幅を、前記ロジック系の低電位制御電圧と基準電位間の信号振幅を変換して得る第2のレベルシフタ部とを備えることにある。

【0022】請求項6の発明の前記レベルシフタ部は、入力される前記ロジック系の低電位制御電圧と基準電位によりオン、オフする第1のNMOSTランジスタと、前記低電位制御電圧と基準電位の反転制御電圧によりオン、オフする第2のNMOSTランジスタと、一方の端子が前記第1のNMOSTランジスタに接続され、他方の端子に前記スイッチ部により導通遮断される前記アナログ信号電圧が印加される第3のPMOSTランジスタと、一方の端子が前記第2のNMOSTランジスタに接続され、他方の端子に前記スイッチ部により導通遮断されるアナログ信号電圧が印加される第4のPMOSTランジスタとを有し、前記第3のPMOSTランジスタのゲートを前記第2のNMOSTランジスタと前記第4のPMOSTランジスタの第1の接続点に接続し、前記第4のPMOSTランジスタのゲートを前記第1のNMOSTランジスタと前記第3のPMOSTランジスタの第2の接続点に接続し、前記第1の接続点から、又は前記第1、第2の接続点の両方から高電位制御電圧と基準電位を前記スイッチ部に出力する。

【0023】請求項7の発明の特徴は、2個の入出力端子と、1個の制御信号入力端子とを有し、前記制御信号入力端子に与えられる制御信号によって前記2個の入出力端子間の導通遮断を制御するアナログスイッチ回路において、前記2個の入出力端子間は、第1のPMOSTランジスタと第2のPMOSTランジスタの直列接続回路によって接続されており、且つ、前記第1の入出力端子側に前記第1のPMOSTランジスタを接続し、前記第2の入出力端子側に前記第2のPMOSTランジスタを接続してあり、第1のレベル変換回路と第2のレベル変換回路とを備え、前記第1のレベル変換回路は前記制御信号の信号振幅を第1の入出力端子に与えられた電圧と基準電位間の信号振幅に変換して得られた信号を前記第1のPMOSTのゲートに印加し、前記第2のレベル変換回路は前記制御信号の信号振幅を前記第2の入出力端子に与えられた電圧と基準電位間の信号振幅に変換して得られた信号を第2のPMOSTランジスタのゲートに印加することにある。

【0024】請求項8の発明の特徴は、2個の入出力端子と、1個の制御信号入力端子とを有し、前記制御信号入力端子に与えられる制御信号によって、前記2個の入出力端子間の導通遮断を制御するアナログスイッチ回路において、前記2個の入出力端子間は、第1のPMOSTランジスタ及び第2のPMOSTランジスタの直列接続回路と、第1のNMOSTランジスタ及び第2のNMOSTランジスタの直列接続回路とを並列接続した回路により接続されており、且つ、前記第1の入出力端子側

に前記第1のPMOSTランジスタを、前記第2の入出力端子側に前記第2のPMOSTランジスタを接続し、前記第1の入出力端子側に前記第1のNMOSTランジスタを、前記第2の入出力端子側に前記第2のNMOSTランジスタを接続してあり、第1のレベル変換回路と第2のレベル変換回路とを備え、前記第1のレベル変換回路は前記制御信号の信号振幅を前記第1の入出力端子に与えられた電圧と基準電位間の信号振幅に変換して得られた信号を前記第1のPMOSTランジスタのゲートに印加すると共に、その反転信号を前記第1のNMOSTランジスタのゲートに印加し、前記第2のレベル変換回路は前記制御信号の信号振幅を第2の入出力端子に与えられた電圧と基準電位間の信号振幅に変換して得られた信号を前記第2のPMOSTランジスタのゲートに印加すると共に、その反転信号を前記第2のNMOSTランジスタのゲートに印加することにある。

【0025】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図1は、本発明のアナログスイッチ回路の第1の実施の形態を示した回路図である。アナログスイッチ回路は、ドレインを共通に接続したPMOSTランジスタ21、23の直列接続回路で構成されたスイッチ部と、PMOSTランジスタ21の制御信号を作成するレベルシフタ22と、PMOSTランジスタ23の制御信号を作成するレベルシフタ24とから構成されている。

【0026】制御端子25にロジック電源系の低電位の0~VCC(3V、又は5V)レベルの制御信号が入力され、入出力端子26、27に高電位(20V)を含むアナログ信号が入出力されて、このアナログ信号がPMOSTランジスタ21、23でオン、オフされる。

【0027】図2は上記したレベルシフタ22、24の詳細構成例を示した回路図である。レベルシフタ22は、NMOSTランジスタ221、222及びPMOSTランジスタ223、224から構成され、レベルシフタ24はNMOSTランジスタ241、242及びPMOSTランジスタ243、244とから構成されている。又、両レベルシフタ22、24に共通の制御端子25と、制御信号を反転させてNMOSTランジスタ222、242のゲートに印加するインバータ30が設けられている。

【0028】次に本実施の形態の動作について説明する。例えば、制御端子25にVCCが印加されると、MOSランジスタ221がオンで、MOSランジスタ222がオフになる。これにより、PMOSTランジスタ224のゲートに0電位が掛り、このランジスタ224がオンになる。

【0029】このため、PMOSTランジスタ223のゲートに、入出力端子26側のアナログ電圧が掛ると共に、PMOSTランジスタ21のゲートに同アナログ電

圧が掛る。

【0030】これにより、PMOSTランジスタ21がオフすると共に、PMOSTランジスタ223がオフして、PMOSTランジスタ21のオフ状態を確定させる。

【0031】上記動作はレベルシフタ24についても同じで、制御端子25にVCCが印加されると、同様の動作により、PMOSTランジスタ23がオフする。

【0032】一方、制御端子25に0電位の制御信号が印加されると、MOSランジスタ221がオフで、MOSランジスタ222がオンになる。これにより、PMOSTランジスタ21のゲートに0電位が掛り、このランジスタ21がオンになる。

【0033】又、同時に、PMOSTランジスタ223のゲートに0電位が掛り、このランジスタ223がオンになり、PMOSTランジスタ224のゲートに入出力端子26のアナログ電圧が掛る。このため、PMOSTランジスタ224をオフして、PMOSTランジスタ21のオン状態を確定させる。

【0034】上記動作はレベルシフタ24についても同じで、制御端子25に0電位の制御信号が印加されると、同様の動作により、PMOSTランジスタ23がオンする。

【0035】本実施の形態によれば、内部の高電圧を用いて、レベルシフタ22、24が動作して、PMOSTランジスタ21、23をオンオフすることにより、高電位のアナログ信号の導通遮断を完全に行うことができる。従って、外部から高電圧を導入する必要を無くすることができる。

【0036】又、ドレインを共通接続したPMOSTランジスタ21、23により高電位のアナログ信号の導通遮断を行っているため、入出力端子26側から回路をみた場合も、入出力端子27側から回路をみた場合も、同一の特性を有しており、高電位のアナログ信号の導通遮断の完全な双方向性を確保することができる。

【0037】図3は上記したレベルシフタ23、24の他の詳細構成例を示した回路図である。本例は、レベルシフタ23についてののみ図示してあるが、レベルシフタ24についても構成は全く同一で、制御端子25とインバータ30が共通になっている。

【0038】本例は図2の構成に比べて、PMOSTランジスタ223に直列にPMOSTランジスタ225が接続され、PMOSTランジスタ224に直列にPMOSTランジスタ226が接続されている点が違うところで、他の構成は同一である。

【0039】PMOSTランジスタ225、226のゲートは0電位に接地されているため、PMOSTランジスタ225、226は常にオン状態になっている。従って、実質的なレベルシフト動作はNMOSTランジスタ221、222及びPMOSTランジスタ225、22



6で行われ、図2の動作と全く同一であり、レベルシフタ24についても同様のことが言えるため、このような構成のレベルシフタを用いても、同様の効果を得ることができる。

【0040】図4は、本発明のアナログスイッチ回路の第2の実施の形態を示した回路図である。アナログスイッチ回路は、ドレインを共通に接続したPMOSTランジスタ21、23の直列接続回路とドレインを共通に接続したNMOSTランジスタ28、29の直列接続回路の並列接続回路で構成されたスイッチ部と、PMOSTランジスタ21及びNMOSTランジスタ28の制御信号を作成するレベルシフタ31と、PMOSTランジスタ23及びNMOSTランジスタ29の制御信号を作成するレベルシフタ32から構成されている。

【0041】制御端子25に低電位の0～VCCレベルの制御信号が入力され、入出力端子26、27に高電位を含むアナログ信号が入出力されて、このアナログ信号がPMOSTランジスタ21、22及びNMOSTランジスタ28、29でオンオフされる。

【0042】図5は上記したレベルシフタ31、32の詳細構成例を示した回路図である。レベルシフタ31は、MOSTランジスタ221、222及びPMOSTランジスタ223、224から構成され、レベルシフタ32はMOSTランジスタ241、242及びPMOSTランジスタ243、244とから構成され、両レベルシフタに共通の制御端子25と、制御信号を反転させてMOSTランジスタ222、242のゲートに印加するインバータ30が設けられている。

【0043】次に本実施の形態の動作について説明する。例えば、制御端子25にVCCが印加されると、NMOSTランジスタ221がオンで、NMOSTランジスタ222がオフになる。これにより、NMOSTランジスタ28のゲートに0電位が掛り、このランジスタ28がオフになると共に、PMOSTランジスタ224のゲートに0電位が掛り、このランジスタ224がオンになる。そのため、PMOSTランジスタ223のゲートに入出力端子26側のアナログ信号電圧が掛ると共に、PMOSTランジスタ21のゲートに同アナログ信号電圧が掛かる。

【0044】これにより、PMOSTランジスタ21がオフすると共に、PMOSTランジスタ223がオフして、PMOSTランジスタ21及びNMOSTランジスタ28のオフ状態を確定させる。

【0045】上記動作はレベルシフタ32についても同じで、制御端子25にVCCが印加されると、同様の動作により、PMOSTランジスタ23及びNMOSTランジスタ29がオフする。

【0046】一方、制御端子25に0電位の制御電圧が印加されると、NMOSTランジスタ221がオフで、NMOSTランジスタ222がオンになる。これによ

り、PMOSTランジスタ21のゲートに0電位が掛り、このランジスタ21がオンになる。同時に、PMOSTランジスタ223のゲートに0電位が掛り、このランジスタ223がオンになり、PMOSTランジスタ224及びNMOSTランジスタ28のゲートに入出力端子26側のアナログ信号電圧が掛る。

【0047】このため、PMOSTランジスタ224をオフして、PMOSTランジスタ21及びNMOSTランジスタ28のオン状態を確定させる。

【0048】上記動作はレベルシフタ32についても同じで、制御端子25に0電位の制御信号が印加されると、同様の動作により、PMOSTランジスタ23及びNMOSTランジスタ29がオンする。

【0049】本実施の形態によれば、内部の高電圧を用いて、レベルシフタ31、32が動作して、PMOSTランジスタ21、23及びNMOSTランジスタ28、29をオンオフすることにより、高電位を含むアナログ信号の導通遮断を完全に行うことができる。従って、外部から高電圧を導入する必要を無くすることができる。

【0050】特に、PMOSTランジスタ21、23の直列接続回路及びNMOSTランジスタ28、29の直列接続回路の並列接続回路でスイッチ部が構成されているため、導通遮断するアナログ信号の電圧によって、スイッチ部のインピーダンスが変化せず、インピーダンスを一定とすることができ、電位によらない安定なスイッチ動作を行うことができる。

【0051】又、ドレインを共通接続したPMOSTランジスタ23、24とドレインを共通接続したNMOSTランジスタ28、29により高電位のアナログ信号の導通遮断を行っているため、入出力端子26側から回路をみた場合も、入出力端子27側から回路をみた場合も、同一の特性を有しており、高電位のアナログ信号の導通遮断の完全な双方向性を確保することができる。

【0052】図6は上記したレベルシフタ31、32の他の詳細構成例を示した回路図である。本例は、レベルシフタ31についてのみ図示してあるが、レベルシフタ32についても構成は全く同一で、制御端子25とインバータ30が共通になっている。

【0053】本例は図5の構成に比べて、PMOSTランジスタ223に直列にPMOSTランジスタ225が接続され、PMOSTランジスタ224に直列にPMOSTランジスタ226が接続されている点が違うところで、他の構成は同一である。

【0054】PMOSTランジスタ225、226のゲートは0電位に接地されているため、PMOSTランジスタ225、226は常にオン状態になっている。従って、実質的なレベルシフト動作はNMOSTランジスタ221、222及びPMOSTランジスタ223、224で行われ、図5の動作と全く同一である。これは、レベルシフタ32についても同様のことが言えるため、こ

のような構成のレベルシフタを用いても、同様の効果を得ることができる。

【0055】

【発明の効果】以上詳細に説明したように、本発明によれば、外部から高電圧を供給しなくとも、完全に高電位レベルを含むアナログ信号を導通遮断でき且つスイッチとしての双方向性を確保できる。

【図面の簡単な説明】

【図1】本発明のアナログスイッチ回路の第1の実施の形態を示した回路図である。

【図2】図1に示したレベルシフタの詳細構成例を示した回路図である。

【図3】図1に示したレベルシフタの他の詳細構成例を示した回路図である。

【図4】図1に示したアナログスイッチ回路の第2の実施の形態を示した回路図である。

【図5】図1に示したレベルシフタの詳細構成例を示し\*

\*た回路図である。

【図6】図1に示したレベルシフタの他の詳細構成例を示した回路図である。

【図7】従来のアナログスイッチ回路の構成例を示したブロック図である。

【図8】従来のアナログスイッチ回路の他の構成例を示した回路図である。

【符号の説明】

21、23、223、224、225、226、24

10 3、244 PMOSトランジスタ

28、29、221、222、241、242 MOSトランジスタ

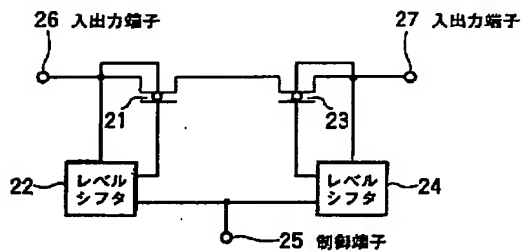
22、24、31、32 レベルシフタ

25 制御端子

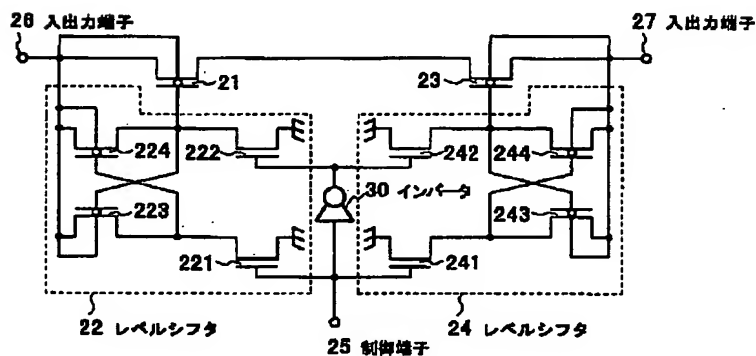
26、27 入出力端子

30 インバータ

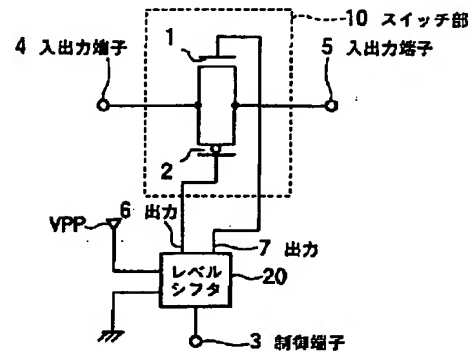
【図1】



【図2】

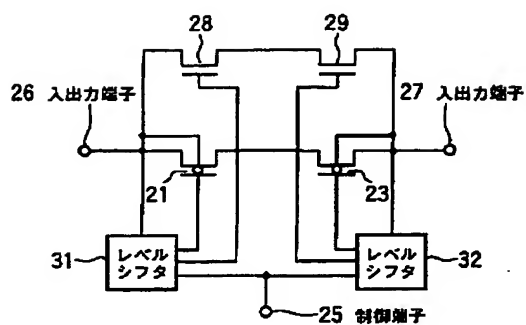


【図7】

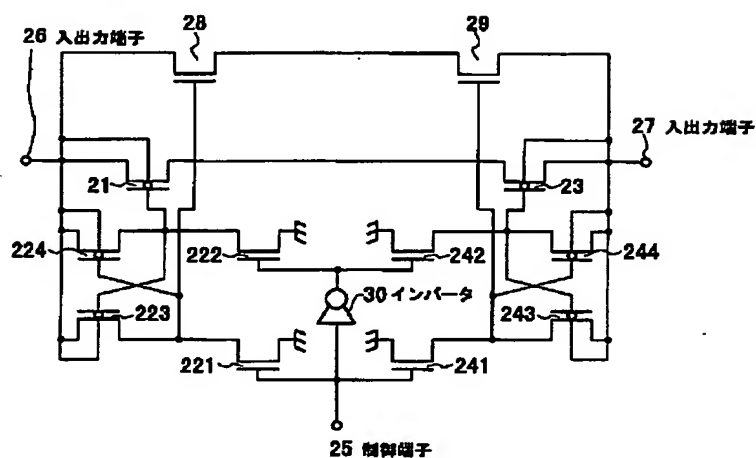




【图4】



【图5】



【圖8】

